

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## INPUT DEVICE FOR SEQUENTIAL OPERATION

Patent Number: JP59183407  
Publication date: 1984-10-18  
Inventor(s): YOSHIDA TOSHIO; others: 02  
Applicant(s): MATSUSHITA DENKI SANGYO  
Requested Patent: ☐ JP59183407  
Application: JP19830057595 19830331  
Priority Number(s):  
IPC Classification: G05B19/02; D06F33/02  
EC Classification:  
Equivalents: JP1914830C, JP6038872B

---

### Abstract

---

**PURPOSE:** To decide the need for change through an input circuit and to improve the operability of the titled input device by actuating an input preventing means in response to the state of the 3rd memory means and inhibiting the qualification of the 2nd memory means which is carried out by an input setting means for a fixed sequential operation section.

**CONSTITUTION:** The sequential operations proceed to a rinsing process, and the storage data on a memory region 5 serving as the 3rd memory means is supplies to an arithmetic logical unit 7 constituting an input preventing means by an indication of an ROM2. Then the rinsing process is discriminated and this result is set to an FF8. Thus the qualification is inhibited for a memory region 4 serving as the 2nd memory means which changes the process, the time and the frequency by an input switch. If a switch is pushed during a washing process, the storage contents of the region 4 are changed. Thus the procedure is changed for the sequential operations. In this case, a timer 9 is actuated to inhibit the start of operation for a fixed period of time. Therefore no change is given to the region at this time point.

---

Data supplied from the **esp@cenet** database - I2

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—183407

⑤Int. Cl.<sup>3</sup>  
G 05 B 19/02  
D 06 F 33/02

識別記号

庁内整理番号  
P 7740—5H  
Z 8119—4L

⑬公開 昭和59年(1984)10月18日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 逐次動作入力装置

⑯特 願 昭58—57595

⑯出 願 昭58(1983) 3 月31日

⑯発 明 者 吉田俊雄

門真市大字門真1006番地松下電  
器産業株式会社内

⑯発 明 者 木内光幸

門真市大字門真1006番地松下電  
器産業株式会社内

⑯発 明 者 今橋久之

門真市大字門真1006番地松下電  
器産業株式会社内

⑯出 願 人 松下電器産業株式会社

門真市大字門真1006番地

⑯代 理 人 弁理士 中尾敏男 外 1 名

明 細 書

1、発明の名称

逐次動作入力装置

2、特許請求の範囲

(1) 逐次動作手順を決定する第1の記憶手段と、この第1の記憶手段からの入力により行いべき逐次動作を記憶する第2の記憶手段と、第1の記憶手段からの入力により逐次動作進行を記憶する第3の記憶手段と、前記第2の記憶手段における修飾を制限する入力設定手段と、入力阻止手段とを備え、前記第3の記憶手段の状態により入力阻止手段を動作させ、前記入力設定手段による第2の記憶手段の修飾を、前記第3の記憶手段で決定される一定の逐次動作区間阻止する様に構成した逐次動作入力装置。

(2) 入力阻止手段は、入力設定手段による第1の記憶手段の修飾を阻止する阻止部と、第3の記憶手段により動作し、その出力により阻止部を動作させるタイマとからなる特許請求の範囲第1項記載の逐次動作入力装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、一般家庭において使用する種々の洗濯コースを選択できる洗濯機等の逐次動作入力装置に関するものである。

従来の構成と問題点  
従来、この種の洗濯機においては、洗濯進行状態にかかわらず、常に種々の洗濯コースを変更できるか、もしくは、洗濯開始後一定時間以降は、変更を禁止するか、又は、洗濯開始後は、変更を受け付けないとしたものが一般的であった。

しかしながら、洗濯開始後、変更を受け付けない場合、又は、一定時間以降受け付けない場合において、設定のまちがいを変更する場合や、洗濯進行状態によりコースを変更したい場合に變更できず、また、常に變更できる場合には、例えば、リンスが投入された後に變更すれば、リンスの効果がなくなるといった種々の問題点を有していた。

発明の目的

本発明は、かかる従来の不都合点、問題点を解消し、使い勝手の向上と洗濯の有効的な進行を計

った入力回路を提供するものである。

#### 発明の構成

本発明の入力回路は、逐次動作手順を決定する第1の記憶手段と、この第1の記憶手段からの入力により行うべき逐次動作を記憶する第2の記憶手段と、第1の記憶手段からの入力により逐次動作進行を記憶する第3の記憶手段と、前記第2の記憶手段における修飾を制限する入力設定手段と、入力阻止手段とを備え、前記第3の記憶手段の状態により入力阻止手段を動作させ、前記入力設定手段による第2の記憶手段の修飾を、前記第3の記憶手段で決定される一定の逐次動作区間においては阻止するものである。

#### 実施例の説明

以下、本発明の実施例について第1図、第2図を参照して説明する。

第1図、第2図において、1はマイクロコンピュータであり、2は逐次動作手順を決定する第1の記憶手段に相当するROMであり、あらかじめ定められた手順を記憶する。ROM2の指示によ

り行うべき逐次動作をデータメモリであるRAM3のある記憶領域4に記憶する。これは、第2の記憶手段に相当する。又、このデータメモリには、第1の記憶手段であるROM2からの指示により逐次動作の進行状態を記憶する記憶領域5を有する。これは、第3の記憶手段に相当する。6は入力設定手段である。7はデータの処理判定を行う演算論理ユニット(ALU)で、8は判定結果を記憶するフリップフロップである。9は前記RAM3にもうけたタイマであり、これらは入力阻止手段に相当する。10はROM2による逐次動作制御命令を所定時間ラッチするインダクションレジスタ、11はインダクションレジスタ10の出力をマイクロコンピュータ各部に伝達するインダクションデコーダである。12はクロック発生部、13は逐次動作の進行および設定状態を表示する表示部であり、発光ダイオードおよび抵抗で構成されている。14は入力設定手段6への電源供給回路であり、マイコンの指示によりスイッチングされるトランジスタおよび抵抗により構成される。

15、16は逐次動作に基づいて、モータ、マグネット、給水弁、コンデンサ切換スイッチ等の負荷17を駆動させるドライバーであり、一方のドライバー15は抵抗、トランジスタよりなり、他方のドライバー16は双方向性半導体スイッチング素子よりなる。

18はマイクロコンピュータ及び電源供給回路14、ドライバー15、16等に直流電源を供給する電源部、19は前記マイクロコンピュータによる逐次動作進行の基準となる時限基準発生回路部、20は前記マイクロコンピュータのクロック発生部12に基準信号を供給する発振部、21は逐次動作終了時に報知する報知部、22は商用電源、23は電源スイッチ、24はヒューズ、25は雑防コンデンサである。

次に、上記構成における動作について説明する。逐次動作手順を記憶したROM2による逐次動作制御命令は、ある時間ラッチするインストラクションレジスタ10を介し、マイクロコンピュータ各部に伝達するインストラクションデコーダ11

に入力され、命令解読され、マイクロコンピュータ内の必要な部分に伝達される。この結果、RAM3内の記憶領域4に行うべき逐次動作が記憶される。入力設定手段6は電流のまわりこみ防止用ダイオード601～608、スイッチ609～616、ブルダウン抵抗617～620で構成される。

611はスタートスイッチであり、このスイッチ611が押されると、前記ROM1の指示にもとづいて、洗濯、すすぎ、脱水の各工程動作を逐次開始する。動作の進行は、ROM1の指示により前記第3の記憶手段に相当する記憶領域5に記憶される。スイッチ612は洗濯、すすぎ、脱水の各工程を、すべて行うか、その一部を行うかを選択するスイッチであり、その出力は、マイクロコンピュータに入力され、前記記憶領域4を修飾し、逐次動作手順を変更する。

又、スイッチ613は洗濯時事、すすぎ回数、脱水時間等を変更するスイッチであり、その出力は、マイクロコンピュータに入力され、前記スイッチ612と同様に記憶領域4を修飾し、その内容を

変更する。

しかしながら、逐次動作が進行し、すすぎ工程に進行すると、ROM 2の指示により、前記記憶領域 6の記憶データを、入力阻止手段を構成する演算論理ユニット 7に入力し、すすぎ工程に進行したことを判別し、その結果をフリップフロップ 8にセットし、その結果、入力スイッチ 612、613による工程及び時間、回数の変更を行う為の記憶領域 4への修飾を阻止する。又、洗濯中に前記スイッチ 612、613が押された場合には、記憶領域 4の記憶内容を変更し、逐次動作（洗濯すすぎ、脱水工程）の手順を変更する。このときRAM 3内に設けたタイマ 9を動作せしめ、一定時間に到達する迄は、動作の開始を行わない。従って記憶領域 6はこの時点では変更されない。従って、変更された結果、洗濯工程を中止し、すすぎ工程を行う設定がなされたとしても一定時間は、たとえ阻止すべき逐次動作区間であっても前記スイッチ 612、613による記憶領域 4への修飾は行われることになる。

なおここでは 612、613、611について説明したが、他のスイッチについても同様である。

#### 発明の効果

以上の説明から明らかなように、本発明によれば、変更してもさしつかえない区間と変更してはならない区間を、使用者に判断させることなく、その判別を入力回路において行うことができ、使い勝手が著しく向上する。

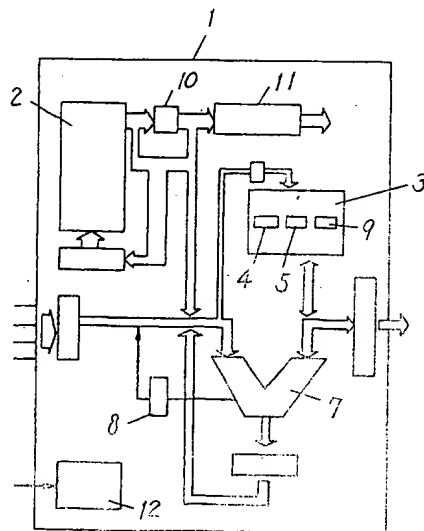
#### 4、図面の簡単な説明

第1図は本発明の一実施例を示す逐次動作入力装置のマイクロコンピュータにおける動作を説明するためのブロック図、第2図は同逐次動作入力装置の要部電気回路図である。

2……ROM、4……記憶領域、5……記憶領域、6……入力設定手段、7……演算論理ユニット、8……フリップフロップ、9……タイマ。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図

